

15174, 870, 666

3131(5)

⑩日本国特許庁 (JP) ⑪特許出願公開

⑫公開特許公報 (A) 昭61-16571

⑬Int.Cl.
H 01 L 29/78
29/60

識別記号 庁内整理番号
8422-5F
7638-5F

⑭公開 昭和61年(1986)1月24日

審査請求、未請求 発明の数 1 (全4頁)

⑮発明の名称 半導体装置の製造方法

⑯特願 昭59-137687
⑰出願 昭59(1984)7月3日

⑱発明者 田路悟 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑲出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号
⑳代理人 弁理士野口繁雄

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) MOSICの製造プロセスにおいて、

ゲート酸化膜上にポリシリコン層、その上に酸化膜、さらにその上に窒化膜を形成した後、ゲート電極と配線領域を残すように窒化膜、酸化膜及びポリシリコン層をエッティングする工程、

その後基板に不純物を注入する第1のイオン注入工程、

その後窒化膜を堆積し、全面異方性エッティングによりポリシリコン層パターンの上面と側面に窒化膜を残す工程、

その後ソース、ドレインとなる領域に前記第1のイオン注入工程より多量の不純物を基板に注入する第2のイオン注入工程、

及び、その後層間絶縁膜を堆積した後、ゲート電極のポリシリコン層パターンの上面と側面の窒化膜をマスクの一部としてセルファーライン的にソ-

ス領域とドレイン領域のコンタクトホールを形成するホトリソグラフィ工程、

を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(技術分野)

本発明はポリシリコンゲートMOSICの製造方法に関し、特に集積度の高いMOSICを製造するのに適した方法に関する。

(従来技術)

これまでのポリシリコンゲートMOSICでは、第3図に示されるように、ポリシリコンゲート2のエッジとフィールド4の拡散領域のコンタクトホール6, 8のエッジとの間の距離aとしては2~3μmが必要であった。これは、コンタクトホール6, 8を介して拡散領域に接続されるメタル層とゲート電極のポリシリコン層2とがショートしないようにするための最低ルールである。このことは、MOSICの集積度を高める上で大きな障害になっている。

(目的)

本発明は拡散領域のコンタクトホールをセルフアライン的に形成することによりゲート電極ポリシリコン層と拡散領域のコンタクトホールとの距離を殆んど無視しうる程度にまで減少させて集積度を向上させるとともに、高集積化に適する拡散領域のLDD (lightly doped drain)構造も形成することのできる方法を提供することを目的とするものである。

(構成)

本発明の製造方法は、ゲート酸化膜上にポリシリコン層、その上に酸化膜、さらにその上に窒化膜を形成した後、ゲート電極と配線領域を残すように窒化膜、酸化膜及びポリシリコン層をエッチングする工程、その後に基板に不純物を注入する第1のイオン注入工程、その後に窒化膜を堆積し、全面異方性エッティングによりポリシリコン層パターンの上面と側面に窒化膜を残す工程、その後にソース、ドレインとなる領域に前記第1のイオン注入工程より多量の不純物を基板に注入する第2のイオン注入工程、及び、その後に層間絶縁膜を堆積

した後、ゲート電極ポリシリコン層パターンの上面と側面の窒化膜をマスクの一部としてセルフアライン的にソース領域とドレイン領域のコンタクトホールを形成するホトリソグラフィ工程、を含んでいる。

以下、第1図に示す実施例により本発明を説明する。

まず、第1図(A)に示されるように、シリコン基板10を選択的に酸化してフィールド酸化膜(SiO₂)12で囲まれたフィールド領域を形成した後、ゲート酸化膜(SiO₂)14を形成し、更にその上にN型不純物がドープされたN⁺ポリシリコン層16を堆積する。

次に同図(B)に示されるように、ポリシリコン層16の表面を酸化して約500Å程度の厚さの酸化膜18を形成した後、全面にシリコン窒化膜(Si₃N₄)20を約1000Åの厚さに堆積させる。その上にレジストを塗布し、ポリシリコン層パターンが形成されるゲート電極と配線の領域を決めるマスクを用いてレジストパターン

22, 24を形成する。

そして、同図(C)に示されるように、そのレジストパターン22, 24をマスクとして窒化膜20、酸化膜18及びポリシリコン層16をこの順序でエッティングして、ゲート電極領域にポリシリコン層26、酸化膜28及び窒化膜30のパターンを形成し、配線領域にはポリシリコン層32、酸化膜34及び窒化膜36のパターンを形成する。その後、不純物をイオン注入法により注入する。

不純物としては、NMOSを形成する場合にはリンやヒ素の如きN型不純物、PMOSを形成する場合にはホウ素の如きP型不純物を注入する。この工程のイオン注入では比較的少量の不純物を注入する。その注入量は $1 \times 10^{13} / \text{cm}^2$ 程度である。38, 40はイオン注入が行なわれた部分である。

次に同図(D)に示されるように、レジストパターン22, 24を除去し、全面に窒化膜42を約1000Åの厚さに堆積させた後、反応性イオノエッティング(RIE)によりゲート電極のパター

ンと配線領域のパターンの上面と側面に窒化膜を残す。その結果、同図(E)に示されるように、ゲート電極のパターンでは上面に窒化膜30が、側面に窒化膜44, 45が残存し、配線領域のパターンでは上面に窒化膜36が、側面には窒化膜46, 47が残存する。

そして、ソース領域とドレイン領域形成のための不純物をイオン注入法により注入する。この工程の注入不純物は上記同図(C)の不純物と同種のものであるが、その注入量は多く、例えば約 $1 \sim 4 \times 10^{14} / \text{cm}^2$ である。

このようにして得られるイオン注入領域は、窒化膜44, 45の厚みの領域38, 40では不純物濃度が低く、それよりも外側の領域48, 50では不純物濃度が高くなっている。

次に同図(F)に示されるように、全面に例えばPSGの如き層間絶縁膜52を堆積させた後、酸素又は窒素の雰囲気中で約1000°Cで30分程度の熱処理を行なう。この熱処理によりイオン注入された領域が活性化され、低濃度拡散領域

54, 56と高濃度拡散領域58, 60からなるLDD構造が形成される。

その後、レジストを塗布し、拡散層上のコンタクトホール領域と配線上のコンタクトホール領域を決定するマスクを用いてレジストパターン62を形成し、このレジストパターン62をマスクとして同図(G)に示されるように、層間絶縁膜52をエッチングして拡散領域上のコンタクトホール64, 66と配線上のコンタクトホール68を形成する。このとき、コンタクトホール64, 66はゲートポリシリコン層26の側面の窒化膜44, 45がマスクの一部となってセルフアライン的に形成される。

次に、同図(G)に示されるように、再びレジスト70を塗布し、配線領域のコンタクトホールより1~3μm程度サイズの大きいパターンを形成し、両レジスト62, 70をマスクとして配線領域の窒化膜36と酸化膜34をエッチングする。

そして、同図(H)に示されるように、メタル層を堆積させ、バターン化してメタル層パターン

72, 74, 76を形成する。

第2図はこのようにして形成されるコンタクトホール64, 66とゲート電極のポリシリコン層26との位置関係を示すものであり、コンタクトホール64, 66とポリシリコン層26のエッジとの距離は従来の第3図に比べて無視できる程度にまで接近している。

(効果)

本発明によればフィールドの拡散領域のコンタクトホールがゲート電極に対してセルフアライン的に形成されるので、ゲート電極エッジとコンタクトホールとの距離を実質的にゼロにすることができる、MOSICの集積度を上げるうえで有効である。

また、高集積化ICにおけるホットキャリア対策として有効なLDD構造が同時に達成される。

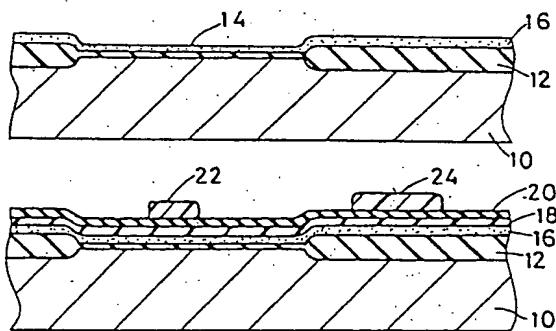
4. 図面の簡単な説明

第1図(A)ないし(H)は本発明の一実施例の工程を示す断面図、第2図は同実施例で形成されるMOSトランジスタのゲート電極と拡散層のコンタクトホールの位置関係を示す平面図、第3図は従来のMOSトランジスタのゲート電極と拡散層のコンタクトホールの位置関係を示す平面図である。

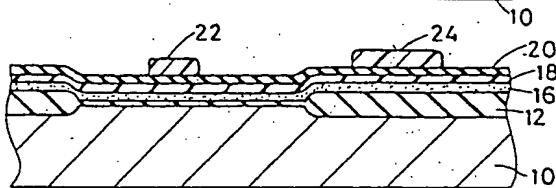
10……シリコン基板、14……ゲート酸化膜、16……ポリシリコン層、38, 40……低濃度イオン注入部分、42……シリコン窒化膜、44, 45……ゲート電極パターン側面のシリコン窒化膜、48, 50……高濃度イオン注入部分、52……層間絶縁膜、64, 66……拡散層領域のコンタクトホール。

第1図

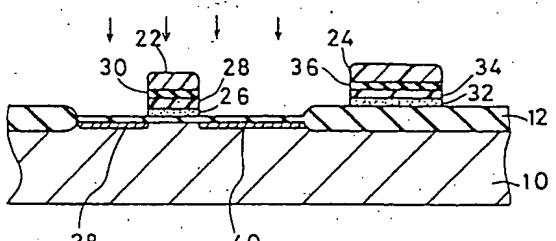
(A)



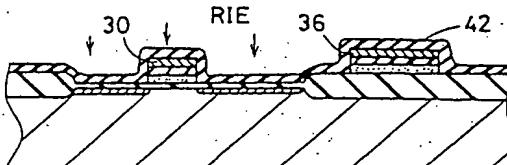
(B)



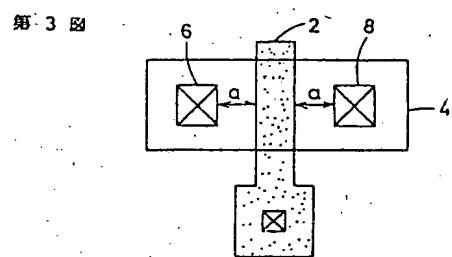
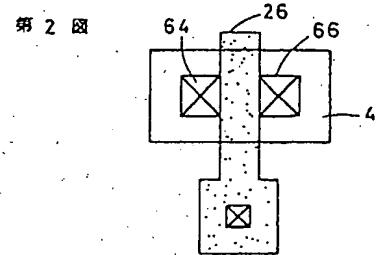
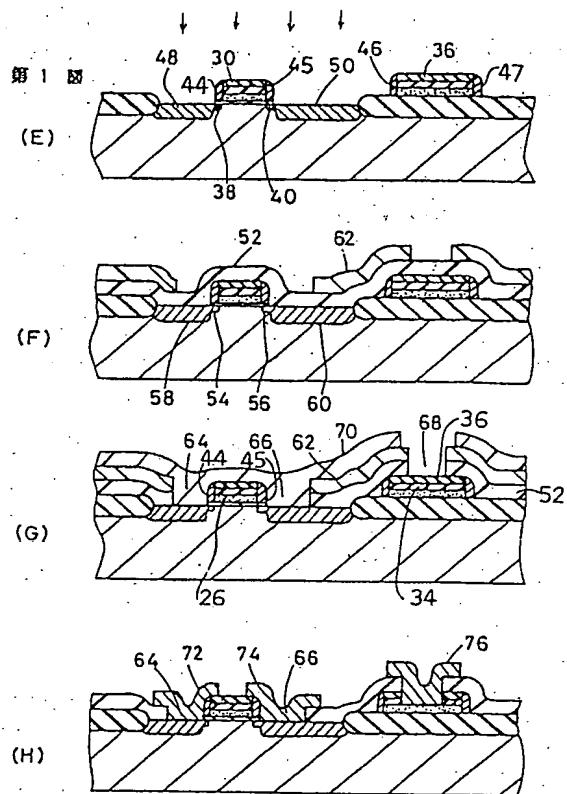
(C)



(D)



特許出願人 株式会社リコー



BEST AVAILABLE COPY